

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-91489

⑪ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)5月22日

G 06 K 19/00  
H 01 L 23/56  
H 05 F 3/026711-5B  
6603-5F  
L-8224-5G

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 静電対策 IC カード

⑮ 特 願 昭58-197626

⑯ 出 願 昭58(1983)10月24日

⑰ 発 明 者 家 木 俊 温 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気  
通信研究所内⑱ 発 明 者 星 野 坦 之 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気  
通信研究所内

⑲ 出 願 人 日本電信電話公社

⑳ 代 理 人 弁理士 小林 将高 外1名

## 明 細 書

## 1. 発明の名称

静電対策 IC カード

## 2. 特許請求の範囲

カード本体表面にグラウンド端子と外部端子を有する IC カードにおいて、前記カード本体内の IC と前記外部端子およびグラウンド端子とを結ぶ配線と、バリスタ材料で構成されるとともに前記グラウンド端子に接続された薄い単一基板に前記外部端子とバリスタ用電極とを形成したバリスタ回路を前記カード本体内に封入したことを特徴とする静電対策 IC カード。

## 3. 発明の詳細な説明

この発明は、外部端子に静電気が作用しても、カード本体内の IC が破損しないようにした静電対策 IC カードに関するものである。

従来の IC カードにおいては、静電気対策が施されていなかったため、カード本体表面の外部端子に静電気が作用すると、カード本体内部の IC が破損するという大きな欠点があった。

これを解決するため、第1図に示すように IC 1 とグラウンド端子 2 を結ぶ線と、IC 1 と他の外部端子 3 を結ぶ配線の間にバリスタ素子(ツェナーダイオード) 4 を挿入する方法が考えられた。この方法では、グラウンド端子 2 以外の外部端子 3 に、バリスタ素子 4 のしきい値を超える高電圧の静電荷が作用すると、バリスタ素子 4 のツェナー特性により、電流がグラウンドに流れ、静電気による IC カードの破損が防止される。

一方、各外部端子 3 に正規の電圧または信号が供給された時は、その電圧がしきい値以下であるため、バリスタ素子 4 (ツェナーダイオード)には、電流を流さない。

しかし、この方法においては、静電気対策上効果のあるバリスタ素子 4 を用いると、寸法が大きすぎて、IC カード(厚さ 0.76 mm ± 10 μ)に内蔵することができない欠点を有していた。また、仮に小型で高性能のバリスタ素子 4 が現れても、各バリスタ素子 4 を、各端子間をつなぐように接続することは、実装技術上困難である。

この発明は、これらの欠点を除去するため、薄いバリスタ材料から成る単一基板の上に、バリスタ電極および配線パターンを印刷したバリスタ回路を用い、ICカード内に容易に内蔵できるようにしたことを特徴としている。以下この発明について詳細に説明する。

第2図はこの発明の一実施例を示す要部の断面図である。この図で、5はバリスタ電極であり、グラウンド端子2、外部端子3、バリスタ電極5は、いずれもバリスタ材料で作られた単一基板6に接続固定され、バリスタ回路7を形成している。なお、8はIC1とグラウンド端子2、外部端子3とを接続配線である。

第3図は第2図におけるIC1およびバリスタ回路7等をカード本体9に埋め込んだ状態の断面図を示す。

IC1等の全ての部品は、カード本体9をくりぬいた部分10に内蔵される。IC1は、基板11の上に固定されている。グラウンド端子2、外部端子3は、バリスタ材料で作られた単一基板6を貫

(3)

要部の平面図と、それをカード本体9に埋め込んだ状態の断面図であり、バリスタ回路7のバリスタ動作を確実にするために、バリスタ電極5に対向する導電板14を単一基板6の表面に設けたものである。

すなわち、第4図のように、導電板14は外部端子3には接触しないようにし、グラウンド端子2には接続するように単一基板6の表面に設けられる。したがって、第5図のようにバリスタ電極5と導電板14とは単一基板6をはさんで対向する形となるため、バリスタ作用を確実に行わせることができる。

以上説明したようにこの発明は、バリスタ材料からなる単一基板に、バリスタ電極を形成したバリスタ回路を用いるため、以下の利点がある。

- (1) 厚さ0.76mm±10%のICカードへの実装が容易である。
- (2) 薄い、面積は広くとれるため、高電圧・高負荷の静電気からICを守ることができる。
- (3) 蒸着によりバリスタ回路と端子を結合する

(5)

通し、ふた12に設けられた穴13を通して外部と接続する。また、バリスタ電極5は、カード本体9と単一基板6との間に入れられる。

上記の構成において、外部端子3に正規の電圧の信号が加わると、電圧がしきい値より低いため、電流はIC1と外部端子3の間を流れる。ところが、高電圧の静電気荷が外部端子3に加わると、バリスタ電極5と単一基板6は、バリスタとして働き、電流は単一基板6に流れ込む。このため、IC1は、高電圧による破損をまぬがれる。

単一基板6に用いられるバリスタ材料としては、バリスタ特性が優れており、しきい値電圧が自由にとれるZnOが適している。また、バリスタ電極5としては、Ni、Crが挙げられる。

また、第2図に示す部分(埋め込む部分)の加工に関しては、単一基板6にグラウンド端子2、外部端子3を埋めた後、バリスタ電極5を蒸着すれば良く、ワイヤボンディングを行う場合に比較して容易である。

第4図、第5図はこの発明の他の実施例を示す

(4)

ことができるため、加工が容易である。

(4) グラウンド端子、外部端子、バリスタ回路が一体となつているため、カード本体への埋め込み作業が容易である。

#### 4. 図面の簡単な説明

第1図は従来の静電対策ICカードの例、第2図はこの発明の一実施例を示す要部の断面図、第3図は第2図に示される要部をカード本体に埋め込んだ状態を示す断面図、第4図はこの発明の他の実施例を示す要部の平面図、第5図は第4図に示す要部をカード本体に埋め込んだ状態を示す断面図である。

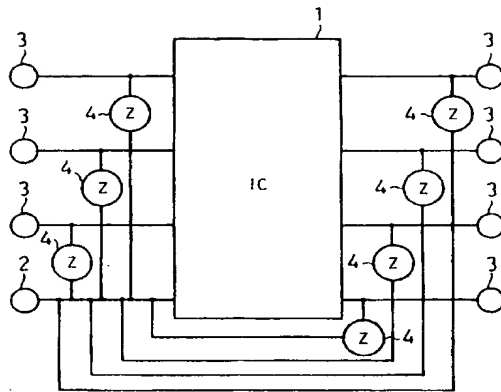
図中、1はIC、2はグラウンド端子、3は外部端子、4はバリスタ素子、5はバリスタ電極、6は単一基板、7はバリスタ回路、8は配線、9はカード本体、11は基板、12はふた、13は穴である。

代理人 小林 村 尚 (ほか1名)

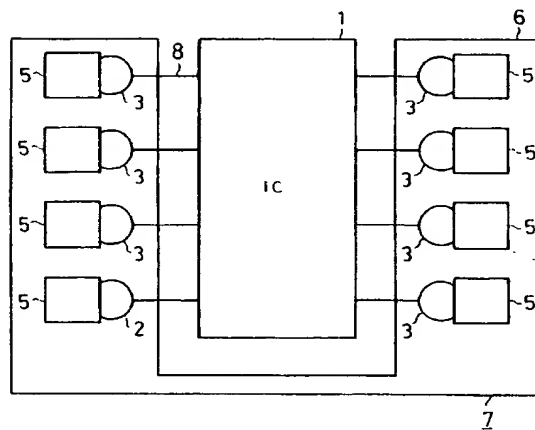
特許  
代理人  
印

(6)

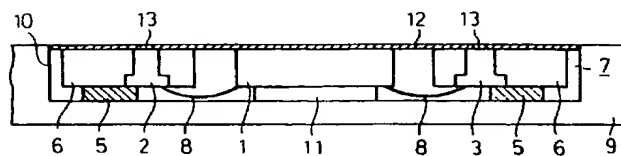
第 1 図



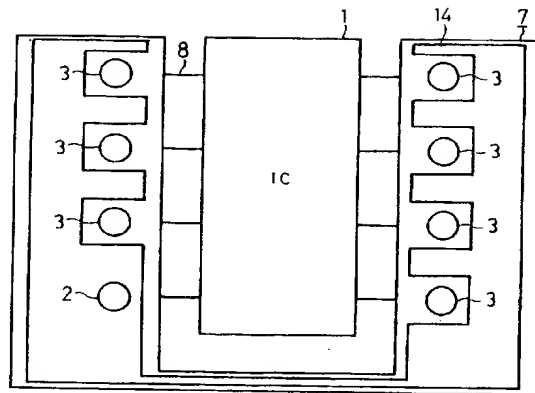
第 2 図



第 3 図



第 4 図



第 5 図

